



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05267790 A**(43) Date of publication of application: **15.10.93**

(51) Int. Cl.

**H01S 3/18****H01L 31/12**(21) Application number: **04062850**(22) Date of filing: **19.03.92**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **ADACHI HIDETO  
MATSUDA KENICHI  
SHIBATA ATSUSHI****(54) OPTICAL SEMICONDUCTOR DEVICE AND  
MANUFACTURE THEREOF**

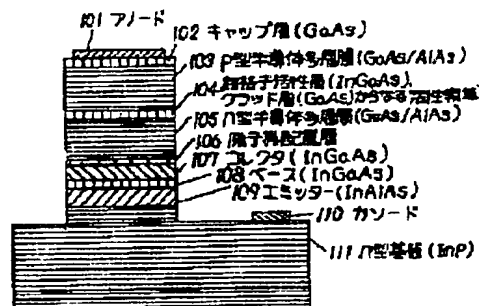
setup, emitted light can be lessened in absorption.

COPYRIGHT: (C)1993,JPO&amp;Japio

**(57) Abstract:**

**PURPOSE:** To lessen an optical semiconductor device in light absorption by a method wherein an atom rearranging layer is used.

**CONSTITUTION:** A bias voltage is applied between an anode 101 and a cathode 110, and light rays are made to impinge on a substrate from the rear side. In result, a current is made to flow through a phototransistor composed of a collector 107, a base 108, and an emitter 109 and a surface emission laser composed of a P-type semiconductor multilayer film 103, an active region 105, and an N-type semiconductor multilayer film 106. When the current concerned exceeds the oscillation threshold value of the surface emission laser, the laser starts oscillating, so that laser rays can be obtained from the rear of the substrate. At this point, the outputted laser beams are partially absorbed by the phototransistor to keep it emitting light rays after light rays are stopped to impinge on the substrate. At this point, an atom rearranging layer is used in place of a graded layer as a layer which couples a plane emission laser and a phototransistor together. By this



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 6 7 7 9 0

(43) 公開日 平成5年(1993)10月15日

(51) Int. Cl.<sup>5</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
H 0 1 S 3/18  
H 0 1 L 31/12 Z 7210 - 4 M

審査請求 未請求 請求項の数 3

(全 6 頁)

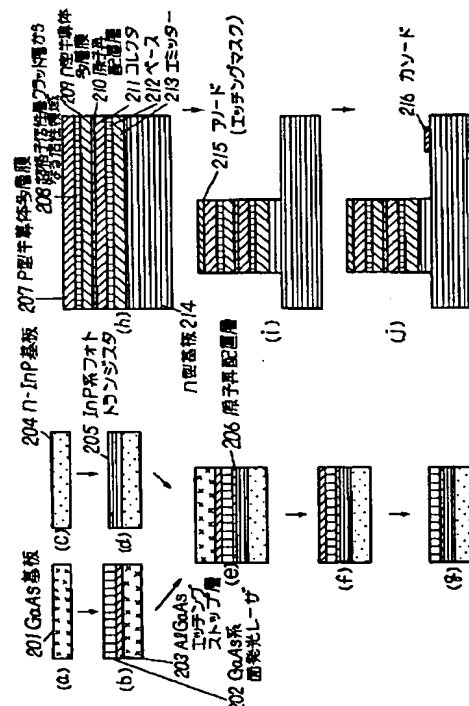
(21) 出願番号	特願平4-62850	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成4年(1992)3月19日	(72) 発明者	足立 秀人 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	松田 賢一 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	柴田 淳 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74) 代理人	弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 光半導体装置およびその製造方法

(57) 【要約】

【目的】 コヒーレント光を出力することのできる光双安定素子を実現する。

【構成】 InP基板上に積層されたInP系材料からなるフォトトランジスタ上に、原子再配置層を介して、活性層にInGaAsを用い共振器ミラーにGaAs／AlAs半導体多層膜を用いた垂直共振器型面発光レーザを配置する。



## 【特許請求の範囲】

【請求項1】エミッタ層にInAlAs層、ベース層およびコレクタ層にInGaAsを用いたInP基板上のコレクタアップ型フォトトランジスタ上に、活性層にIn<sub>0.2</sub>Ga<sub>0.8</sub>As歪超格子層を用い、共振器ミラーにGaAs/AlAs半導体多層膜を用いた垂直共振器型面発光レーザが、数原子層からなる原子再配置層を介して積層された構成により、前記面発光レーザからの出力光が、前記面発光レーザと前記フォトトランジスタとの間で吸収の少ないことを特徴とする光半導体装置。

【請求項2】n-InP基板上に、気相成長法を用いn-InP層あるいはn-InAlAs層、p-InGaAs層、n-InGaAs層をこの順序で成長させる工程と、GaAs基板上にAlGaAs層、n-GaAs/AlAs半導体多層膜、InGaAs歪超格子活性層、p-GaAs/AlAs半導体多層膜、p-GaAs層をこの順序で成長させる工程と、それぞれの基板の成長層をボンディングし選択エッチングによりGaAs基板を除去する工程と、前記形成したエピタキシャル成長基板に対し選択的に前記n-InP基板までを食刻する工程を備えたことを特徴とする光半導体装置の製造方法。

【請求項3】InP基板上の成長層と前記GaAs基板上の成長層をボンディングする場合に水素雰囲気中において加熱することによって歪を含んだ原子再配置層を形成することを特徴とする請求項2記載の光半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、光並列情報処理に用いられる光半導体装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】近年、光電子集積回路技術を用いた光並列処理用のデバイスの開発が盛んである。特に光の入出力機能を備えた光双安定素子の2次元アレイは光並列情報処理用のメモリとして開発が進められている。例えば、エレクトロン・デバイス・レターズ第11巻442-444ページ(1990年10月)参照。

【0003】以下に従来の光双安定素子の一例について説明する。図3は従来の光双安定素子の断面構造図を示すものである。図3において、301はアノード、302はpクラッド層InP、303は活性層InGaAsP、304はnクラッド層InP、305はコレクタInP、306はベースInGaAsP、307はエミッターInP、308はカソード、309はn型基板InP、310は等価回路、311はレーザダイオード、312はフォトトランジスタをそれぞれあらわしている以上のように構成された光双安定素子について、以下その動作について説明する。まず、アノード301・カソ

ド308間にバイアス電圧が印加された状態で基板裏面から入射光を入射する。入射光の波長はコレクタ・ベース・エミッタからなるフォトトランジスタが吸収可能な波長1.3μm以下とする。入射光はベース306で吸収され、フォトトランジスタ部に電流を流し、直列に接続されておりpクラッド層、活性層、nクラッド層からなる発光ダイオードを発光状態に変化させる。この場合の発光波長は1.3μmである。さらにその後、入射光を取り除いても、発光ダイオードからの発光は基板側にも出力され、フォトトランジスタへの光の正帰還により発光状態を維持することが可能である。以上が発光素子とフォトトランジスタを用いた光双安定素子の動作である。

【0004】製造方法について説明する。まず、前記フォトトランジスタおよび前記発光ダイオードをこの順序で液相成長法または気相成長法を用いて半導体基板上に成長する。次にアノードの蒸着リフトオフを行い、n型基板までエッチングレメサを形成する。さいごにカソードの蒸着リフトオフ、シンターを行う。

【0005】さらに、上記光双安定素子の発光部を垂直共振器型面発光レーザに置き換えることによって出力光をレーザ化し、出力と指向性の向上を計った、従来のレーザ光出力型光双安定素子について説明を行う。図4は従来のレーザ光出力型光双安定素子の断面構造図を示すものである。図4において、401はアノード、402はキャップ層(GaAs)、403はp型半導体多層膜(GaAs/AlAs)、404は超格子活性層(InGaAs)、クラッド層(GaAs)からなる活性領域、405はn型半導体多層膜(GaAs/AlAs)、406グレーディッド層(In<sub>x</sub>Ga<sub>1-x</sub>As)、407はコレクタ(InGaAs)、408はベース(InGaAs)、409はエミッター(InP)、410はカソード、411はn型基板(InP)、412は等価回路、413はレーザダイオード、414はフォトトランジスタ、415出力光をそれぞれ表している。双安定動作の原理は前記従来の光双安定素子と同様であるが、発光としてレーザ光を出力することができる。

## 【0006】

【発明が解決しようとする課題】しかしながら上記従来のような構成では(1)結晶成長層の途中に格子不整合グレーディッドバッファ層を含むために、それ以降に成長した層が格子欠陥を含み、その特性を著しく低下させてしまうという問題点がある。(2)また、そのグレーディッドバッファ層が発光素子からの発光を吸収してしまうので、フォトトランジスタの光吸収効率が低下するという問題点がある。(3)さらに、従来の製造方法では、エピタキシャル成長層の積層方法が液槽あるいは気槽成長であるので、格子不整合な系を積層するために格子欠陥を有するグレーディッドバッファ層を利用しなければならない、という問題点を有していた。

【0007】本発明は上記問題点に鑑み、レーザ光を出力することができ、かつ内部吸収損失の少ない光双安定素子およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】この目的を達成するために、本発明の光半導体装置は、活性層にInGaAs歪超格子層を用い、共振器ミラーにGaAs/AlAs系またはGaAs/AlGaAs系半導体多層膜を用いた垂直共振器型面発光レーザと、InP系材料からなるフォトトランジスタを、原子再配置層を介して積層した構成を有している。

【0009】本発明の光半導体装置製造方法は、n-InP基板上に、気相成長法を用いn-InP層あるいはn-InAlAs層、p-InGaAs層、n-InGaAs層をこの順序で成長させ、別にGaAs基板上にAlGaAs層、n-GaAs/AlAs半導体多層膜、InGaAs歪超格子活性層、p-GaAs/AlAs半導体多層膜、p-GaAs層をこの順序で成長させ、それぞれの基板の成長層を貼り合わせ水素雰囲気中にて熱ボンディングし、選択エッチングによりGaAs

【0010】

【作用】本発明は上記した第1の構成によって、前記発光素子からの発光がコヒーレント光であり、かつ前記フォトトランジスタがその発光を吸収し、光の正帰還により双安定特性を示す前記光半導体装置を、発光を吸収し格子欠陥を生じさせる格子不整合グレーディッドバッファ層を用いることなく、水素雰囲気中で加熱するという簡単な方法で原子再配置層を形成することにより実現する。

【0011】第2の方法によって出力光波長および入力光波長が、それぞれ独立に広い範囲設定された前記光半導体装置を製造することができるものである。

【0012】

【実施例】以下本発明の第1の実施例について、図面を参照しながら説明する。図1は本発明の実施例における光半導体装置の断面構造図を示すものである。図1において、101はアノード、102はキャップ層(GaAs)、103はp型半導体多層膜(GaAs/AlAs)、104は超格子活性層(InGaAs)、クラッド層(GaAs)からなる活性領域、105はn型半導体多層膜(GaAs/AlAs)、106は原子再配置層、107はコレクタ(InGaAs)、108、ベース(InGaAs)、109はエミッター(InAlAs)、110はカソード、111はn型基板(InP)、113は原子再配置層拡大図、114は従来のグレーディッド層をそれぞれ表している。また、103~105はコヒーレント光を放出することのできる面発光レーザ、107~109はフォトトランジスタを構成しており、これらは原子再配置層106でつながれてい

る。以上のように構成された光半導体装置について、以下図面を参照しながらその動作を説明する。

【0013】まず、アノード101・カソード110間にバイアス電圧を印加し基板裏面から入射光を入射する。入射光の波長は、ベース108に使用したIn<sub>0.53</sub>Ga<sub>0.47</sub>Asの吸収端よりも短いものであればよい。その結果コレクタ107・ベース108・エミッタ109からなるフォトトランジスタおよびp型半導体多層膜103・活性領域105・n型半導体多層膜106からなる面発光レーザに電流が流れる。その電流が面発光レーザの発振しきい値を越えると発振を開始し、基板裏面からレーザ光を得ることができる。その際、出力光の一部をフォトトランジスタが吸収し入力光を取り除いた後も発光状態を維持することができる。以上が本実施例の双安定動作原理である。本第1の実施例において従来の光双安定素子と異なる点は、面発光レーザとフォトトランジスタを接続する層としてグレーディッド層の代わりに原子再配置層を用いたことである。このことによる利点は、格子欠陥が生じないことと、厚さが薄くなるためにレーザ光が吸収されず、効率よく発光を得ることができる点である。

【0014】つぎに、本発明の第2の実施例について、図面を参照しながら説明する。本発明の光半導体装置製造方法は、原子再配置層を用いて前記光半導体装置を実現するものである。図2は本発明の実施例における光半導体装置の製造方法の説明図を示すものである。図2において、201はGaAs基板、202はGaAs系面発光レーザ、203はAlGaAsエッチングストップ層、204はn-InP基板、205はInP系フォトトランジスタ、206は原子再配置層、207はp型半導体多層膜(GaAs/AlAs)、208は超格子活性層(InGaAs)、クラッド層(GaAs)からなる活性領域、209はn型半導体多層膜(GaAs/AlAs)、210は原子再配置層、211はコレクタ(InGaAs)、212はベース(InGaAs)、213はエミッター(InAlAs)、214はn型基板(InP)、215はアノード(エッチングマスク)、216はカソードをそれぞれ表している。

【0015】以下図面を参照しながらその製造方法を説明する。まず、2種類の基板にそれぞれ気相成長法によってエピタキシャル成長を行う。一つはGaAs基板201上にAlGaAsエッチングストップ層203、および面発光レーザ構造202をこの順序で積層し(a、b)、もう一つは、n-InP基板204上にフォトトランジスタ構造205を積層する(c、d)。それぞれの基板表面を十分に洗浄しダメージ層を除去した後、表面と表面を密着させ、そのままの状態真空中へ移動する。2インチ基板に対して約200グラムのモリブデンブロックを用いて圧力を加え、水素雰囲気中にて摂氏670度で30分間加熱する。すると、歪を含んだ原

子再配置層206が形成され、前記2枚の基板が接合（ボンディング）される（e）。その後、ワックスを用いてn-InP基板側を保護し、アンモニアと過酸化水素水の混合液（混合比1:20）を用いてGaAs基板の除去を行う（f）。つづいて、フッ酸溶液によりAlGaAs層の選択エッチングを行う（g）。以上の結果、n-InP基板上にフォトトランジスタ、面発光レーザがこの順序で積層された構造が実現された。この構造の詳細図を（h）に示す。つぎにアノードとエッチングマスクを兼ねた金属215（例えばNi/Au）を蒸着しパタン出しを行う。塩素系のガスを用いてn-InP基板に達するまでドライエッチングを行い、メサ形状を作製する（i）。最後にカソード216を形成しシンターを行う（j）。以上が本発明の光半導体装置の製造方法である。従来はこの部分に格子不整合グレーディッド層を積層させていたので、その積層過程において歪による格子欠陥が生じていたが、今回の方法を用いることによって格子欠陥のない層構造を実現することができた。

#### 【0016】

【発明の効果】以上のように本発明は、数原子層からなる原子再配置層を用いることによって、発光の吸収を低減し、本発明の製造方法により、格子欠陥の少ない層構造を実現した。

#### 【図面の簡単な説明】

【図1】本発明の実施例における光半導体装置の断面構造図

【図2】本発明の実施例における光半導体装置の製造方法の説明図

【図3】従来の発光部に発光ダイオードを用いた光双安定素子の断面構造図

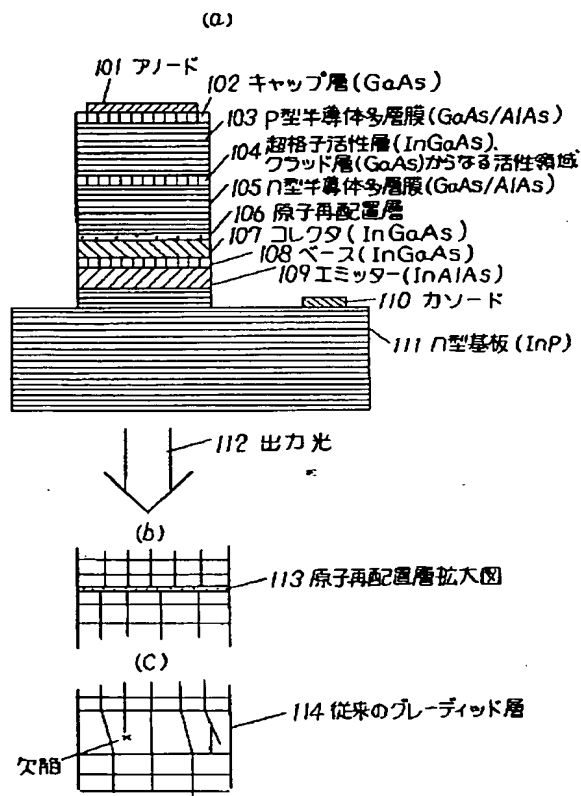
【図4】従来の発光部をレーザ化した光双安定素子の断面構造図

#### 【符号の説明】

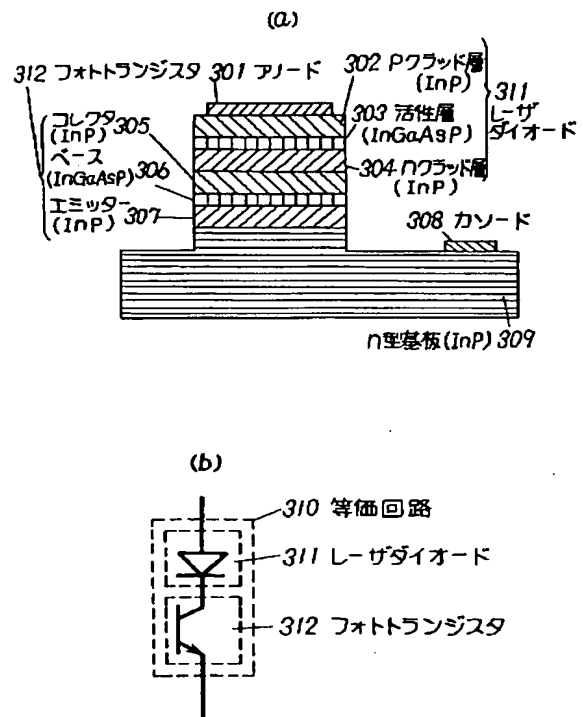
101 アノード  
102 キャップ層（GaAs）  
103 p型半導体多層膜（GaAs/AlAs）  
104 超格子活性層（InGaAs）、クラッド層（GaAs）からなる活性領域  
105 n型半導体多層膜（GaAs/AlAs）  
106 原子再配置層  
107 コレクタ（InGaAs）  
108 ベース（InGaAs）  
109 エミッター（InAlAs）  
110 カソード  
111 n型基板（InP）  
112 出力光

113 原子再配置層拡大図  
114 従来のグレーディッド層  
201 GaAs基板  
202 GaAs系面発光レーザ  
203 AlGaAsエッチングストップ層  
204 n-InP基板  
205 InP系フォトトランジスタ  
206 原子再配置層  
207 p型半導体多層膜（GaAs/AlAs）  
208 超格子活性層（InGaAs）、クラッド層（GaAs）からなる活性領域  
209 n型半導体多層膜（GaAs/AlAs）  
210 原子再配置層  
211 コレクタ（InGaAs）  
212 ベース（InGaAs）  
213 エミッター（InAlAs）  
214 n型基板（InP）  
215 アノード（エッチングマスク）  
216 カソード  
301 アノード  
302 pクラッド層（InP）  
303 活性層（InGaAsP）  
304 nクラッド層（InP）  
305 コレクタ（InP）  
306 ベース（InGaAsP）  
307 エミッター（InP）  
308 カソード  
309 n型基板（InP）  
310 等価回路  
311 レーザダイオード  
312 フォトトランジスタ  
401 アノード  
402 キャップ層（GaAs）  
403 p型半導体多層膜（GaAs/AlAs）  
404 超格子活性層（InGaAs）、クラッド層（GaAs）からなる活性領域  
405 n型半導体多層膜（GaAs/AlAs）  
406 グレーディッド層（In<sub>x</sub>Ga<sub>1-x</sub>As）  
407 コレクタ（InGaAs）  
408 ベース（InGaAs）  
409 エミッター（InP）  
410 カソード  
411 n型基板（InP）  
412 等価回路  
413 レーザダイオード  
414 フォトトランジスタ  
415 出力光

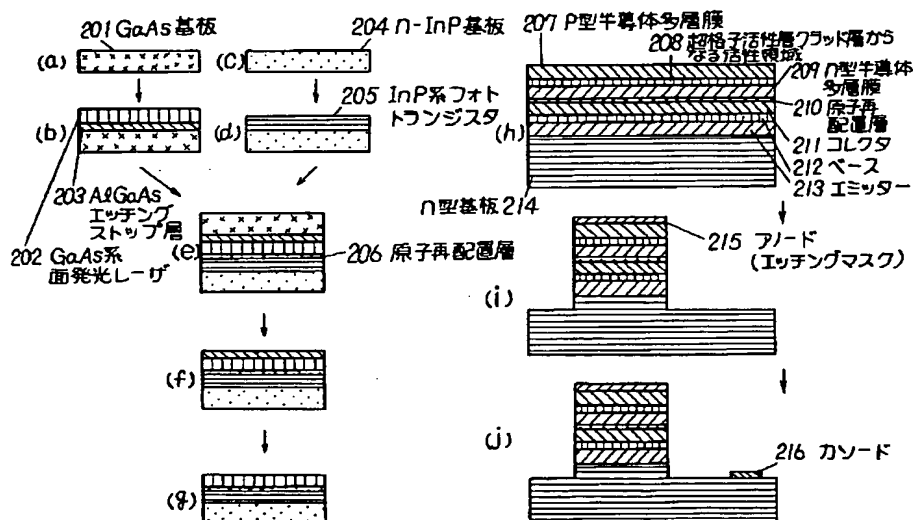
【図1】



【図3】



【図2】



【図4】

